

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-116909  
 (43)Date of publication of application : 06.05.1998

(51)Int.CI. H01L 21/82  
 H01L 21/3205

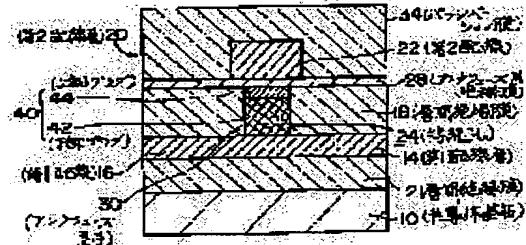
(21)Application number : 08-267107 (71)Applicant : KAWASAKI STEEL CORP  
 (22)Date of filing : 08.10.1996 (72)Inventor : FUKUDA KENJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE HAVING ANTI-FUSE ELEMENT AND ITS MANUFACTURING METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To enhance the reliability of an anti-fuse element, reduce its resistance, and thereby make it possible to increase the operating speed of a circuit, by forming the upper layer of a conductive plug from amorphous metal and the lower layer from low-resistance metal.

SOLUTION: An upper layer 42 of a conductive plug 40 that connects a first trace 16 and a second trace 22, is formed from amorphous metal and the lower layer 44 is formed from low-resistance metal. As a result, an insulating film 28 for anti-fuse is formed on the amorphous metal 44 that constitutes the surface of the conductive plug 40, does not contain any crystal and has few irregularities; therefore, the breakdown voltage of the insulating film 28 is prevented from being excessively reduced during writing, and a highly reliable anti-fuse element 30 is obtained. Since the lower layer of the conductive plug 40 is formed from the low-resistance metal 42, it is possible to include the low-resistance metal 42 in a filament that is formed by breaking the insulating film 28 for anti-fuse and diffusing the lower-layer metal 42 of the conductive plug 40, and to increase the operating speed of a circuit.



### LEGAL STATUS

[Date of request for examination] 24.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2879894

[Date of registration] 29.01.1999

[Number of appeal against examiner's decision]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-116909

(43)公開日 平成10年(1998)5月6日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/82  
21/3205

識別記号

F I  
H 01 L 21/82  
21/88

F  
Z

審査請求 有 請求項の数7 O L (全8頁)

(21)出願番号 特願平8-267107

(22)出願日 平成8年(1996)10月8日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28  
号

(72)発明者 福田 塗司

東京都千代田区内幸町二丁目2番3号 川  
崎製鉄株式会社東京本社内

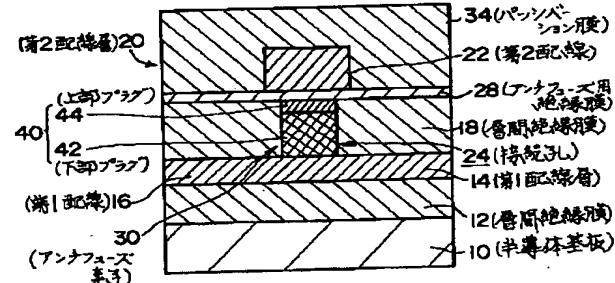
(74)代理人 弁理士 高矢 論 (外2名)

(54)【発明の名称】 アンチフューズ素子を具備した半導体集積回路装置及びその製造方法

(57)【要約】

【課題】 抵抗値が低く、フィラメントも切れない、信頼性の高いアンチフューズ素子を提供する。

【解決手段】 導電性プラグ40を2層構造とし、上部プラグ44を非晶質金属で形成し、下部プラグ42を低抵抗金属で形成する。



1

## 【特許請求の範囲】

【請求項1】半導体基板上に形成された第1配線層に配置される第1配線と、層間絶縁膜を介在して前記第1配線層上に形成された第2配線層に配置される第2配線と、前記層間絶縁膜に形成された接続孔と、該接続孔内に配置された、前記第1配線と第2配線とを接続する導電性プラグ、及び、該導電性プラグ上に形成されたアンチフェーズ用絶縁膜を有するアンチフェーズ素子を具備した半導体集積回路装置において、

前記導電性プラグの上層が非晶質金属で形成され、下層が低抵抗金属で形成されていることを特徴とする、アンチフェーズ素子を具備した半導体集積回路装置。

【請求項2】請求項1において、前記非晶質金属が、タンゲステンシリサイドであることを特徴とする、アンチフェーズ素子を具備した半導体集積回路装置。

【請求項3】請求項1において、前記低抵抗金属が、アルミニウム又は銅、あるいは、これらのいずれか一方を含む合金であることを特徴とする、アンチフェーズ素子を具備した半導体集積回路装置。

【請求項4】請求項1において、前記第2配線の、アンチフェーズ用絶縁膜と接する最下層が、アルミニウム又は銅、あるいは、これらのいずれか一方を含む合金であることを特徴とする、アンチフェーズ素子を具備した半導体集積回路装置。

【請求項5】請求項1において、前記アンチフェーズ用絶縁膜が、シリコン窒化膜、シリコン酸化膜又はタンタル酸化膜の単層膜、あるいは複合積層膜であることを特徴とする、アンチフェーズ素子を具備した半導体集積回路装置。

【請求項6】アンチフェーズ素子を具備した半導体集積回路装置の製造方法において、

半導体基板上に第1配線層を形成する工程と、

該第1配線層に第1配線を形成する工程と、

該第1配線を覆う層間絶縁膜を形成する工程と、

前記第1配線上の層間絶縁膜に接続孔を形成する工程と、

該接続孔内の第1配線上に、低抵抗金属で導電性プラグの下層を形成する工程と、

前記接続孔内の導電性プラグ下層上に、非晶質金属で導電性プラグの上層を形成する工程と、

前記導電性プラグに、アンチフェーズ用絶縁膜を形成する工程と、

前記層間絶縁膜及びアンチフェーズ用絶縁膜上に第2配線層を形成する工程と、を含むことを特徴とする、アンチフェーズ素子を具備した半導体集積回路装置の製造方法。

【請求項7】請求項6において、前記アンチフェーズ用絶縁膜を形成する前に、導電性プラグ上層の表面を平坦化することを特徴とする、アンチフェーズ素子を具備した半導体集積回路装置の製造方法。

2

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アンチフェーズ素子を具備した半導体集積回路装置及びその製造方法に係り、特に、フィールドプログラマブルゲートアレイ(FPGA)、プログラマブルリードオンリーメモリ( PROM)に用いるのに好適な、信頼性が高く、回路の高速化が可能なアンチフェーズ素子を具備した半導体集積回路装置及びその製造方法に関する。

## 【0002】

【従来の技術】ゲートアレイの中で、ユーザが現場においてプログラムが可能なFPGA、PROM等の半導体集積回路装置は、一般的に、図1に示す如く、シリコン基板等の半導体基板10上に層間絶縁膜12を介して形成された第1(金属)配線層(下層配線層)14と、該第1配線層14上に層間絶縁膜18を介して形成された第2(金属)配線層(上層配線層)20を備えており、第1配線層14には、例えば紙面と平行な方向に複数本の第1(金属)配線16が形成され、第2配線層20には、例えば紙面と垂直な方向に複数本の第2(金属)配線22が形成される。前記第1配線16と第2配線22は、前記層間絶縁膜18によって電気的分離が行われる。又、第1配線16と第2配線22は、前記層間絶縁膜18に形成される接続孔24を介して電気的に接続される。

【0003】この種の半導体集積回路装置に搭載され、回路に応じて電気的に接続をオフ・オンするためのアンチフェーズ素子としては、PCT/US92/03919のような構造が提案されている。この構造では、第1配線層14の上に形成した層間絶縁膜18を開口して形成した接続孔24の上まで導電用のタンゲステンWを埋め込んで導電性プラグ26を形成し、その上に、導電性を持たせるときに破壊されるアンチフェーズ用絶縁膜28としてアモルファスシリコン膜を形成し、更に、その上に前記第2配線22を形成して、アンチフェーズ素子30とする。

【0004】図において、34は、第2配線22を覆うように形成されたパッセーション(保護)膜である。

【0005】実際のプログラムの書き込みに際しては、前記第1配線16と第2配線22間に10V程度の電圧を印加して、前記アンチフェーズ用絶縁膜28を破壊する。すると、図2に示す如く、接続孔24内で第1配線16と第2配線22との間に成膜されたアンチフェーズ用絶縁膜28が破壊されると同時に、導電性プラグ26の上面及び第2配線22の下面から溶融した金属が拡散して、アンチフェーズ用絶縁膜28内にフィラメント32が形成され、配線間が電気的に接続される。従って、回路の高速化のためには、接続されたアンチフェーズ素子30が低抵抗であることが要求される。

## 【0006】

50

【発明が解決しようとする課題】しかしながら、PCT/US92/03919に示された構造では、導電性プラグ26がタングステンのみで形成されており、アンチフューズ用絶縁膜28と第2配線22の間にはチタンタングステンTiWが形成されているので、第1配線16と第2配線22間に10V程度の電圧を印加してアンチフューズ用絶縁膜28を破壊して、導電性プラグ26の上面及び第2配線22の下面から金属が拡散して形成されるフィラメント32は、チタンとタングステンで形成され、抵抗が高いという問題点を有していた。

【0007】又、アンチフューズ用絶縁膜28は、接続孔24内で第1配線16の表面に形成されるが、導電性プラグ26が金属で形成されていると、該導電性プラグ26の表面に、図3に示すような結晶粒に起因した凹凸が形成される。この凹凸には鋭い形状のものが含まれるため、導電性プラグ26の表面上に形成されたアンチフューズ用絶縁膜28を破壊する際に、導電性プラグ26の表面が滑らかな部分に形成されたアンチフューズ用絶縁膜28には弱い破壊電界が印加され、鋭い形状の部分に形成されたアンチフューズ用絶縁膜28には、局所的に強い破壊電界が印加される。従って、破壊電圧が極端に小さくなり、実際に使用する際に、ノイズでアンチフューズ用絶縁膜28が破壊されてしまうことがあり、信頼性が低いという問題もある。

【0008】更に、アンチフューズ用絶縁膜28として一般的に用いられるアモルファルシリコン膜は絶縁性が低いので、絶縁性を高めるためには、厚くしなければならず、PCT/US92/03919では、160nmと記載されている。従って、図2に示した如く、アモルファスシリコン膜が破壊されて形成されるフィラメント32は長くなるので、一様な太さで形成され難く、フィラメント32の中央部分が細くなり、フィラメント形成後の使用状態に通電によるジュール熱で切れ易くなり、図4に膜厚160nmのアモルファスシリコンをアンチフューズ絶縁膜に用いたアンチフューズ素子の電圧-電流曲線を例示する如く、電圧を高めていった場合に電流が突然流れなくなるスイッチオフ現象を生じるという問題もある。

【0009】本発明は、前記従来の問題点を解決するべくなされたもので、アンチフューズ素子の信頼性を高め、抵抗を下げて、回路の高速化を可能とすることを課題とする。

#### 【0010】

【課題を解決するための手段】本発明は、半導体基板上に形成された第1配線層に配置される第1配線と、層間絶縁膜を介在して前記第1配線層上に形成された第2配線層に配置される第2配線と、前記層間絶縁膜に形成された接続孔と、該接続孔内に配置された、前記第1配線と第2配線とを接続する導電性プラグ、及び、該導電性プラグ上に形成されたアンチフューズ用絶縁膜を有する

アンチフューズ素子を具备した半導体集積回路装置において、前記導電性プラグの上層を非晶質金属で形成し、下層を低抵抗金属で形成することにより、前記課題を解決したものである。

【0011】このように、第1配線と第2配線を接続する導電性プラグの上層を非晶質金属で形成し、下層を低抵抗金属で形成することにより、図5に示す如く、アンチフューズ用絶縁膜28が、導電性プラグ26の表面を構成する、結晶を含まず、凹凸が非常に小さい非晶質金属(例えばタングステンシリサイド)の上に形成されるので、書き込み時にアンチフューズ用絶縁膜の破壊電圧が極端に小さくなることがなくなり、信頼性の高いアンチフューズ素子を提供できる。又、導電性プラグの下層を低抵抗金属で形成することにより、アンチフューズ用絶縁膜を破壊し、導電性プラグの下層金属を拡散させて形成させるフィラメント内に低抵抗金属を含有させることができ、アンチフューズ素子の抵抗を下げて、回路を高速化することができる。

【0012】又、前記低抵抗金属や、第2配線の、アンチフューズ用絶縁膜と接する最下層を、アルミニウム又は銅、あるいは、これらのいずれか一方を含む合金とした場合には、フィラメント形成時にフィラメント内に低抵抗値のアルミニウムや銅をより一層含有させ易くなるので、アンチフューズ素子の抵抗を一層下げができる。

【0013】又、アンチフューズ用絶縁膜を、絶縁性の高いシリコン窒化膜、シリコン酸化膜又はタンタル酸化膜の単層膜、あるいは複合積層膜とした場合には、アンチフューズ用絶縁膜を、例えば5~20nmに薄くすることができる。従って、図6に示す如く、フィラメント32の長さを例えば1/20以下に短くすることができ、一様な太さに形成し易く、フィラメント32の中央部分が細くならない分、製品の使用中にフィラメントがジュール熱で切れることがない。

【0014】本発明は、又、アンチフューズ素子を具备した半導体集積回路装置の製造方法において、半導体基板上に第1配線層を形成する工程と、該第1配線層に第1配線を形成する工程と、該第1配線を覆う層間絶縁膜を形成する工程と、前記第1配線上の層間絶縁膜に接続孔を形成する工程と、該接続孔内の第1配線上に、低抵抗金属で導電性プラグの下層を形成する工程と、前記接続孔内の導電性プラグ下層上に、非晶質金属で導電性プラグの上層を形成する工程と、前記導電性プラグに、アンチフューズ用絶縁膜を形成する工程と、前記層間絶縁膜及びアンチフューズ用絶縁膜上に第2配線層を形成する工程とを含むことにより、前記課題を解決したものである。

【0015】又、前記アンチフューズ絶縁膜を形成する前に、導電性プラグ上層の表面を平坦化することにより、信頼性を一層高めたものである。

## 【0016】

【発明の実施の形態】以下図面を参照して、本発明の実施形態を詳細に説明する。

【0017】図7は、本発明の実施形態に係るアンチフェーズ素子が具備された半導体集積回路装置の配線層を示す要部断面図である。

【0018】図7に示すように、アンチフェーズ素子30が具備される半導体集積回路装置においては、半導体基板10上に配線層が構成される。半導体基板10には、例えば単結晶シリコン基板が使用され、図示しないが、半導体基板10の主面には、FPGAや PROMを構成するMISFETやMOSFET等の半導体素子が配置される。

【0019】前記配線層は、本実施形態において、第1配線層(下層配線層)14及び、該第1配線層14上に配置される第2配線層(上層配線層)20を備えた2層配線層で構成される。前記第1配線層14は、前記半導体素子を覆う層間絶縁膜12上に形成され、この第1配線層14には、例えば紙面と平行な方向に、複数本の第1配線16が配置される。又、第2配線層20は、前記第1配線16を覆う層間絶縁膜18上に形成され、この第2配線層20には、例えば紙面と直交する方向に、複数本の第2配線22が配置される。

【0020】前記第1配線16と第2配線22の間は、層間絶縁膜18に形成された接続孔(スルーホール)24を通して接続される。該接続孔24内には、第1配線16上に形成された下部プラグ42と、該下部プラグ42の上に形成された上部プラグ44からなる2層構造の導電性プラグ40が形成されている。前記上部プラグ44と第2配線22の間には、アンチフェーズ用絶縁膜28が介在しており、電気的接続状態ではなく、電流が流れない非導通状態にある。即ち、FPGAにおいては、プログラムが行われていない状態にあり、又、PROMにおいては、データの書き込みが行われていない状態にある。

【0021】図8は、アンチフェーズ用絶縁膜28の一部が破壊され、上部プラグ44と第2配線22の間にフィラメント32が形成された後の配線層の要部断面を示したものである。即ち、FPGAにおいてはプログラムが行われた状態であり、又、PROMにおいては、データの書き込みが行われた状態である。

【0022】次に、前記アンチフェーズ素子が具備された半導体集積回路装置、特に配線層の製造方法について、説明する。図9乃至図14は、各製造工程毎に示す半導体集積回路装置の要部断面図である。

【0023】まず第1工程においては、図9に示す如く、従来と同様な方法で、半導体基板10上の層間絶縁膜12の上に、第1配線層14の複数の第1配線16を形成する。この第1配線層14は、例えば下からチタン(膜厚50nm)、チタンナイトライド(膜厚100nm)

m)、アルミニウム(膜厚500nm)、チタンナイトライド(膜厚23nm)の4層積層膜で構成される。この積層膜は、通常使用されるスパッタ法又はCVD(C hemical V apor D eposition)法で堆積される。この積層膜は、通常使用されるフォトリソグラフィ技術及びエッチング技術でパターニングされ、第1配線16が形成される。

【0024】第2工程においても、図10に示す如く、従来と同様な方法で、前記第1配線16上に層間絶縁膜18が形成され、所定の第1配線16上で、層間絶縁膜18に接続孔24が形成される。前記層間絶縁膜18は、例えば膜厚1000nmの酸化シリコン膜で形成される。前記接続孔24は、通常使用されるフォトリソグラフィ技術及びエッチング技術で形成され、その開口径は、例えば1.0μmとされる。

【0025】次に、本発明に係る第3工程においては、図11に示す如く、前記接続孔24内に、例えばTakeya se et al. Ext. Abst. SSDM, pp-180(1993)に開示されているような選択Al-CVD技術で、下部プラグ42を形成する。なお、この下部プラグ42は、Cu-CVD法、プランケットW-CVD法で形成してもよい。又、プランケットAl-CVD法又はプランケットCu-CVD法で成膜後、通常行われるエッチバック工程により形成することもできる。あるいは、Alリフロー法やCuリフロー法で成膜後、エッチバック工程により形成することもできる。

【0026】次に、本発明に係る第4工程においては、図12に示す如く、上部プラグ44を形成するために、例えばスパッタ法又はCVD法により、非晶質金属膜、例えばタンクスチンシリサイド膜を全面に形成する。この上部プラグ44を形成するための非晶質金属膜としては、タンクスチンシリサイド以外の金属シリサイド膜や、融点が1200℃以下の金属膜を用いることができる。この非晶質金属膜は、フィラメントにプラグの成分が浸透するよう、例えば150~250nmの厚さで形成される。本実施形態では、比較のために、厚さ0nm、75nm、100nm、150nm、200nmのタンクスチンシリサイド膜を成膜している。

【0027】前記第4工程に続く、従来と同様の第5工程においては、図13に示す如く、例えばCMP(C hemical Mechanical P olishing)法により、上部プラグ44の表面及び層間絶縁膜18の表面を平坦化する。

【0028】続く第6工程においては、前記上部プラグ44の表面にウェット処理を行い、平坦化する。このウェット処理は、少なくとも膜表面にシリサイド化処理等で形成される酸化物又は窒化物の除去、及び、シリサイド膜の表面から深さ方向に向かって膜厚の表層部の一部を除去して、表面を平坦化するために行われる。本実施形態においては、ウェット処理に、アンモニア性過酸化水素水(NH<sub>4</sub>OH: H<sub>2</sub>O<sub>2</sub>: H<sub>2</sub>O=1:1:5,

70 °C) を使用して、例えば5 分間の ADMcleaning 处理が行われる。このウェット 处理により、膜質が悪い酸化物又は鋭い突起形状が存在する窒化物が除去され、更に、シリサイド膜の表面の一部の除去により、シリサイド膜の表面に生成される鋭い形状の突起が除去され、上部プラグ44 表面の平坦化が促進される。

【0029】次いで、従来と同様の第7 工程において、図14 に示す如く、少なくとも前記接続孔24 上にアンチフューズ用絶縁膜28 が形成される。本実施形態においては、アンチフューズ用絶縁膜28 を、接続孔24 の表面だけでなく、層間絶縁膜18 の表面も含む全面に形成している。このアンチフューズ用絶縁膜28 として、本実施形態においては、絶縁性の高いシリコン窒化膜を使用している。このシリコン窒化膜は、例えばシラン、アンモニア及び窒化ガスの気相反応を使用するプラズマ CVD 法で堆積され、膜厚は、例えば5 ~ 20 nm の範囲とすることができる。本実施形態では、窒化ガス 2100 sccm、シランガス 100 sccm、アンモニアガス 30 sccm で、50 kHz の高周波 1 k W のプラズマを用い、雰囲気圧力 0.35 torr、基板温度 350 °C で 30 秒間処理することにより、膜厚 10 nm のシリコン窒化膜を生成した。このアンチフューズ用絶縁膜28 は、表面の鋭い形状の突起が減少され、平坦性が促進された上部プラグ44 の表面上に形成されるので、欠陥密度が減少し、均一で良好な膜質が得られる。前記アンチフューズ用絶縁膜28 としては、シリコン窒化膜の他に、酸化シリコン膜又は酸化タンタル膜の単層膜や、シリコン窒化膜、酸化シリコン膜、酸化タンタル膜のいずれかを含み、重ね合わせた複合膜を使用することができる。

【0030】次に、同じく図14 に示す如く、層間絶縁膜18 上に第2 配線層20 の複数の第2 配線22 を形成する。本実施形態においては、アンチフューズ用絶縁膜28 が、層間絶縁膜18 上の全面に形成されているので、第2 配線22 は、アンチフューズ用絶縁膜28 上に形成する。この第2 配線22 は、例えば、膜厚 100 nm のアルミニウム合金膜、膜厚 100 nm の窒化チタン膜、膜厚 600 nm のアルミニウム合金膜、膜厚 23 nm の窒化チタン膜を順次積層した構造とすることができます。なお、従来は、タングステン製プラグとの馴染みを良くするために、最下層にチタンタングステンの膜も形成されていたが、本実施形態では、このチタンタングステン膜は不要である。パターニングには、フォトリソグラフィ 技術及びエッチング技術が使用される。

【0031】次いで、第2 配線22 及びアンチフューズ用絶縁膜28 の上面にパッセーション膜34 を形成して、図7 に示したような構造が得られる。

【0032】なお、前記実施形態においては、配線層が第1 配線と第2 配線の2 層とされていたが、配線層の数は2 に限定されず、3 以上であっても、本発明は同様に適用できる。

【0033】又、導電性プラグも下部プラグと上部プラグの2 層構造に限定されず、3 層以上の多層構造とすることができる。

【0034】

【実施例】図15 に、書き込まれていないアンチフューズ素子(面積 10 万  $\mu\text{m}^2$  ) 60 個に電圧 3.3 V を印加した場合の、リーク電流値が 1  $\mu\text{A}$  以上になるアンチフューズ素子の個数、及び、書き込まれたアンチフューズ素子(ビア径 1.0  $\mu\text{m}$  ) の抵抗値とプラグ上層のタングステンシリサイド WSi の厚さの関係の例を示す。アンチフューズ用絶縁膜としては、膜厚 10 nm のシリコン窒化膜を用いている。アンチフューズ素子は、通常、5 ~ 20 V の電圧を印加して、1 ~ 20 mA の定電流で、5 ~ 100 msec 間書き込む。本実施例では、11 V 10 mA で 10 msec 書き込んだ。タングステンシリサイドの厚さが 0 nm から 200 nm へと厚くなるに連れて、リーク電流値が 1  $\mu\text{A}$  より大きくなるアンチフューズ素子の個数が減少する。タングステンシリサイドの厚さが 100 nm 以上で 0 になるので、タングステンシリサイドは 100 nm 以上の厚さとすることが望ましい。一方、書き込まれたアンチフューズ素子の抵抗値は、タングステンシリサイドの厚さを薄くするほど低くなる。タングステンシリサイドの厚さが 200 nm では 100  $\Omega$  であったものが、タングステンシリサイドを無くすと 5.3  $\Omega$  になる。従って、プラグ内を全部タングステンシリサイドで埋め込むよりも、上層をタングステンシリサイド等の非晶質金属、下層をアルミニウム又は銅、あるいはアルミニウム又は銅のいずれか一方を含む合金等の低抵抗金属の2 層構造として、書き込み時に下層のアルミニウムや銅をフィラメント内に混合させることにより、抵抗値を下げることが望ましい。

【0035】図16 は、上部プラグを構成するタングステンシリサイドの厚さが 200 nm、第2 配線の下層のチタンタングステンの厚さが 0 (本発明の実施例) 又は 200 nm (従来例に近い比較例) のアンチフューズ素子に書き込みを行った状態の抵抗値を示す。チタンタングステンが無い本発明の実施例における第2 配線の最下層、あるいは、比較例における第2 配線のチタンタングステンの上層は、膜厚 100 nm のアルミニウム合金膜とされている。書き込み条件は、11 V 10 mA で 10 msec である。本発明の実施例で、シリコン窒化膜上に直接アルミニウム合金膜が形成された場合には、抵抗値が 100  $\Omega$  であるが、従来例と同様に、アルミニウム合金膜の下にチタンタングステンが形成された場合には、抵抗値が 220  $\Omega$  と高くなる。従って、本発明の実施例のように、第2 配線の最下層のチタンタングステンを止め、アルミニウム又は銅、あるいは銅又はアルミニウムのいずれか一方を含む合金とすることにより、抵抗値を下げることができる。

【0036】図17 は、図4 に示した従来例と比較する

ため、アンチフェーズ用絶縁膜に厚さ10nmのシリコン窒化膜を用いた、本発明の実施例によるアンチフェーズ素子の電圧-電流曲線を示す。測定には、11V10mAで10msecの条件で書き込まれたアンチフェーズ素子を用いた。本発明の実施例において、厚さ10nmのシリコン窒化膜を用いたアンチフェーズ素子では、電圧を6Vまで印加しても、フィラメントが切れることなく、電流値が増加していくが、従来例と同様に、厚さ160nmのアモルファスシリコン膜を用いたアンチフェーズ素子は、図4に示した如く、4V前後でフィラメントが切れて電流が流れなくなる。このように、シリコン窒化膜を用いた場合には、抵抗値が高いため、アンチフェーズ用絶縁膜を薄くでき、非常に信頼性の高いアンチフェーズ素子を提供できる。なお、シリコン窒化膜の代わりにシリコン酸化膜やタンタル酸化膜の単層膜を用いたり、これらの複合膜を用いることもできる。

## 【 0037 】

【 発明の効果】本発明によれば、抵抗値が低く、フィラメントも切れ難い、信頼性の高いアンチフェーズ素子を提供することができる。

## 【 図面の簡単な説明】

【 図1 】 PCT/US92/03919に示された従来のアンチフェーズ素子周辺の構造を示す断面図

【 図2 】 従来のアンチフェーズ用絶縁膜中に形成されるフィラメントの形状を示す断面図

【 図3 】 従来の導電性プラグの表面性状の例を示す断面図

【 図4 】 アンチフェーズ用絶縁膜に膜厚160nmのアモルファスシリコンを用いた従来のアンチフェーズ素子の電圧-電流特性の例を示す線図

【 図5 】 本発明の効果を説明するため、本発明に係る導電性プラグの表面性状の例を示す断面図

【 図6 】 同じくアンチフェーズ用絶縁膜中のフィラメントの形状例を示す断面図

【 図7 】 本発明の実施形態におけるアンチフェーズ素子周辺の構成を示す断面図

【 図8 】 同じくフィラメントを形成した後の状態を示す断面図

【 図9 】 図7の構造を作り込むための第1工程を示す断面図

【 図10 】 同じく第2工程を示す断面図

【 図11 】 同じく第3工程を示す断面図

【 図12 】 同じく第4工程を示す断面図

【 図13 】 同じく第5工程を示す断面図

【 図14 】 同じく第7工程を示す断面図

【 図15 】 本発明の効果を説明するための、上部プラグを構成するタンゲステンシリサイドの厚さとリーク電流値が1μAを超えるアンチフェーズ素子の個数及び書き込まれたアンチフェーズ素子の抵抗値を比較して示す線図

【 図16 】 同じく、第2配線の下層に形成されるチタンタンゲステンの厚さと書き込まれたアンチフェーズ素子の抵抗値の関係の例を示す線図

【 図17 】 同じく、アンチフェーズ用絶縁膜に膜厚10nmのシリコン窒化膜を用いたアンチフェーズ素子の電圧-電流特性の例を示す線図

## 【 符号の説明】

10…半導体基板

12、18…層間絶縁膜

14…第1配線層

16…第1配線

20…第2配線層

22…第2配線

24…接続孔

28…アンチフェーズ用絶縁膜

30…アンチフェーズ素子

32…フィラメント

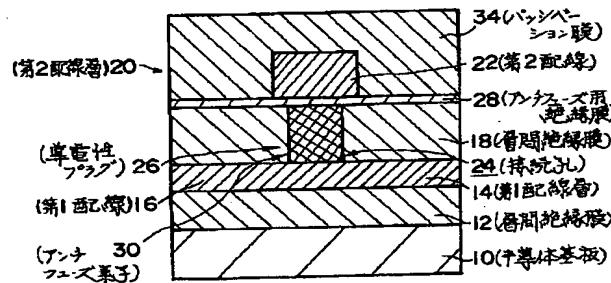
34…バッシャンション膜

36…導電性プラグ

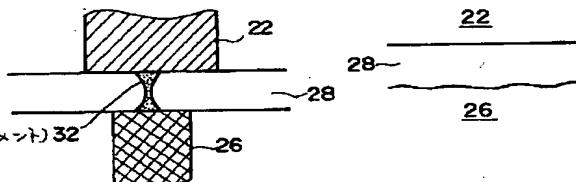
26…下部プラグ

28…上部プラグ

【 図1 】

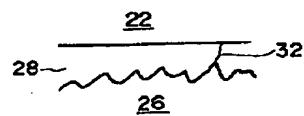


【 図2 】

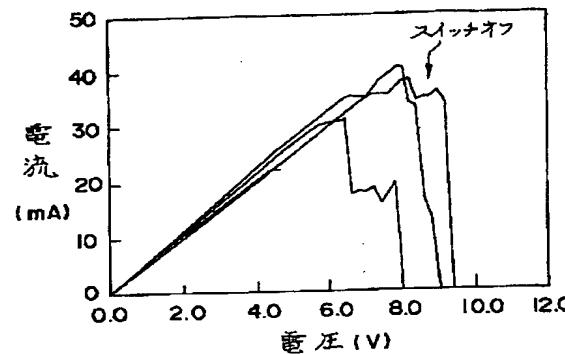


【 図5 】

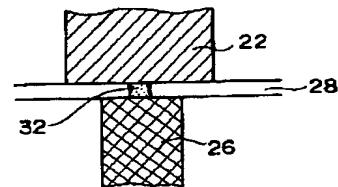
【 図3 】



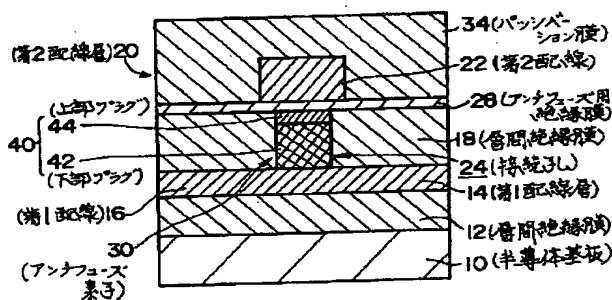
【 図4 】



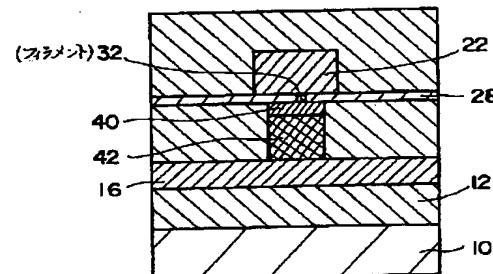
【 図6 】



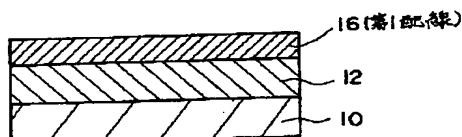
【 図7 】



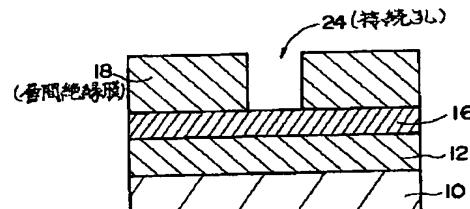
【 図8 】



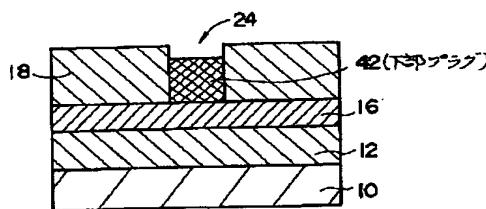
【 図9 】



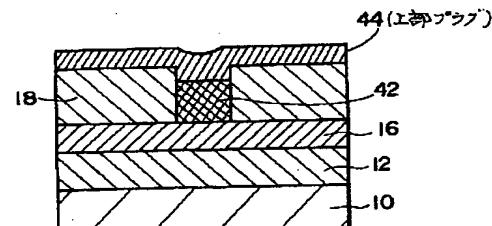
【 図10 】



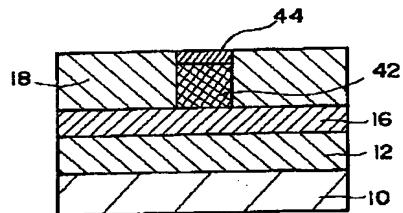
【 図11 】



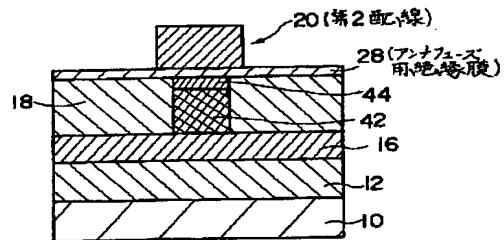
【 図12 】



【 図13 】



【 図14 】



【 図15 】

WSiの厚さ(nm)	リーク電流値>1μAになるアンチフェーズ素子の個数	書き込まれたアンチフェーズ素子の抵抗値(Ω)
0	60	5.3
75	50	21
100	0	55
150	0	78
200	0	100

【 図16 】

第2配線下層のTiWの厚さ(nm)	書き込まれたアンチフェーズ素子の抵抗値(Ω)
0	100
200	220

【 図17 】

